

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Cheol-ho LEE

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: July 9, 2003

Examiner: Unassigned

For: COMPUTER SYSTEM AND CONTROL METHOD THEREOF

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant submits herewith a certified copy of the following foreign application:

Korean Patent Application No. 2002-79661

Filed: December 13, 2002

It is respectfully requested that the applicant be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: July 9, 2003

By: 

Michael D. Stein  
Registration No. 37,240

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0079661  
Application Number PATENT-2002-0079661

출원년월일 : 2002년 12월 13일  
Date of Application DEC 13, 2002

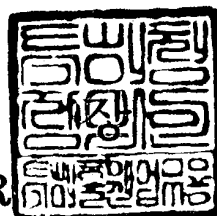
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    01    월    06    일

특    허    청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002.12.13		
【국제특허분류】	G06F 11/00		
【발명의 명칭】	컴퓨터 및 그 제어방법		
【발명의 영문명칭】	COMPUTER SYSTEM AND CONTROL METHOD THEREOF		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	허성원		
【대리인코드】	9-1998-000615-2		
【포괄위임등록번호】	1999-013898-9		
【발명자】			
【성명의 국문표기】	이철호		
【성명의 영문표기】	LEE,CHEOL HO		
【주민등록번호】	720412-1702812		
【우편번호】	137-062		
【주소】	서울특별시 서초구 방배2동 455-5		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 원 (인) 허성		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	32,000	원	

**【요약서】****【요약】**

본 발명은 컴퓨터 및 그 제어방법에 관한 것이다. 본 발명에 따른 컴퓨터의 제어 방법은, 멀티 채널 모드로 동작 가능하게 마련된 복수의 메모리버스를 갖는 컴퓨터의 제어방법에 있어서, 상기 각 메모리버스에 접속되는 적어도 하나의 메모리모듈의 메모리정보를 검출하는 단계와; 상기 검출된 메모리정보를 비교하여, 상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 표시하는 단계를 포함하는 것을 특징으로 한다. 이에 의하여, 사용자가 복수의 메모리버스가 멀티 채널로 동작하는지 여부를 확인할 수 있게 된다.

**【대표도】**

도 3

## 【명세서】

## 【발명의 명칭】

컴퓨터 및 그 제어방법{COMPUTER SYSTEM AND CONTROL METHOD THEREOF}

## 【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 컴퓨터의 제어블럭도이고,  
도 2는 도 1에 도시된 실시예의 상세한 제어블록도이고,  
도 3은 본 발명의 일 실시예에 따른 컴퓨터의 제어흐름도이고,  
도 4는 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 모니터에 표시되는 일 예를 도시한 도면이다.

\* 도면의 주요 부분에 대한 부호의 설명

- |                 |                |
|-----------------|----------------|
| 1 : 제1채널 메모리버스  | 2 : 제2채널 메모리버스 |
| 2 : 메모리 컨트롤러    | 4 : 제어부        |
| 4a : 판단프로그램 저장부 | 5 : 표시부        |
| 5a : 비디오 컨트롤러   | 5b : 모니터       |
| 6 : 바이오스롬       | 7 : 제1채널 메모리모듈 |
| 8 : 제2채널 메모리모듈  |                |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은, 컴퓨터 및 그 제어방법에 관한 것으로서, 보다 상세하게는, 복수의 메모리버스가 멀티 채널 모드로 동작되는지 여부가 확인 가능한 컴퓨터 및 그 제어방법에 관한 것이다.

<13> 컴퓨터의 메모리는 두가지 기본적인 형태가 있는데, 하나는 랜덤 액세스 메모리(Random Access Memory, 이하 "RAM"이라 함)이고, 다른 하나는 판독전용 메모리(Read-Only Memory, 이하 "ROM"이라 함)이다. RAM은 일반적으로 프로세서에 의해 데이터를 판독(Read) 및 기록(Write)하는데 사용된다. RAM은 전형적으로 휘발성(Volatile)인데, 이는 전력이 차단되면 메모리에 저장된 데이터가 손실된다는 것을 의미한다. ROM은 일반적으로 기본 입출력 시스템(Basic Input/Output System, 이하 "바이오스"라 함)과 같이 변경하지 않을 데이터를 저장하는 데 이용된다. ROM은 전형적인 비휘발성(Non-volatile)인데, 이는 전력이 메모리로부터 끊어지는 경우에도 메모리에 저장된 데이터가 손실되지 않는다는 것을 의미한다.

<14> RAM에는 전형적으로 내용을 보존하기 위해 빈번한 재충전(Recharging) 혹은 리프레싱(Refreshing)을 필요로 하는 동적 RAM(이하 "DRAM"이라 함) 형태로 제공된다. 다수의 RAM이 작은 회로 카드 상에 배치되고(이하, "메모리모듈"이라 함), 메모리모듈의 플러그를 메인보드(Main Board) 혹은 메모리 캐리어(Carrier) 카드에 접속된 메모리 소켓에 꽂아 사용하는 모듈 형태의 DRAM 메모리가 현재 사용되고 있다. 현존하는 메모리모듈의

몇몇 예로서 고속 페이지 모드(Fast Page Mode : FPM) 모듈, 확장 데이터 출력(Extended Data Out : EDO) 모듈, SDRAM(Synchronous DRAM : SDRAM) 모듈, 램 버스 디램(RAM BUS DRAM) 모듈 및 DDR SDRAM(Double Data Rate SDRAM : DDR SDRAM) 모듈 등이 있다.

<15> 한편, 메모리의 성능향상을 위해 동일 메모리 용량에 대해 이론적으로 2배의 성능을 발휘할 수 있는 듀얼 채널 모드(Dual Chanel Mode)가 적용되고 있다. 듀얼 채널 모드는 메모리모듈을 두개의 채널로 구분하여 병렬로 사용하는 것으로, 현존하는 메모리모듈을 사용하여 2배의 메모리 대역폭(Bandwidth)을 달성할 수 있다는 이점이 있다.

<16> 이러한 듀얼 채널 모드로의 동작은 양 채널에 접속된 메모리모듈이 상호 호환성이 있는 것을 전제로 한다. 즉, 양 채널에 접속되는 메모리모듈 간의 중요 피쳐(Critical Feature)가 상이한 경우 듀얼 채널로 작동하지 않는다. 예를 들어, 메모리모듈은 그 제조회사나 메모리의 종류에 따라 다양한 소자구조, 로직뱅크(Logical Bank) 등의 피쳐를 가지며, 양 채널에 상이한 피쳐를 갖는 메모리모듈이 접속되는 경우 듀얼 채널 모드로 동작하지 않을 수 있다. 또한, 각 채널의 메모리 용량이 상이한 경우, 예컨대, 제1채널의 메모리 용량이 128MB이고 제2채널의 메모리 용량이 64MB인 경우에도 듀얼 채널 모드로 동작하지 않을 수 있다.

<17> 그런데, 이러한 종래의 듀얼 채널 모드로 동작하는 컴퓨터에 있어서는, 사용자가 컴퓨터의 메모리 시스템이 듀얼 채널 모드로 동작하는지 여부를 확인할 수 있는 방법이 개시되어 있지 않아, 듀얼 채널 모드로 동작 가능한 컴퓨터를 구비하더라도 메모리모듈의 배치를 잘못하는 경우 동작 효율이 떨어지는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 따라서, 본 발명의 목적은 복수의 메모리버스가 멀티 채널 모드로 동작하는지 여부를 확인할 수 있는 컴퓨터 및 그 제어방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<19> 상기 목적은, 본 발명에 따라, 멀티 채널 모드로 동작 가능하게 마련된 복수의 메모리버스를 갖는 컴퓨터의 제어방법에 있어서, 상기 각 메모리버스에 접속되는 적어도 하나의 메모리모듈의 메모리정보를 검출하는 단계와; 상기 검출된 메모리정보를 비교하여, 상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 표시하는 단계를 포함하는 것을 특징으로 하는 컴퓨터의 제어방법에 의해 달성된다.

<20> 여기서, 상기 검출된 메모리정보는 상기 각 메모리모듈에 저장된 SPD 데이터인 것이 바람직하다.

<21> 상기 복수의 메모리버스가 멀티 채널 모드로 동작하지 않는 것으로 판단되는 경우, 상기 복수의 메모리버스에 접속된 메모리모듈이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는지 검사하는 단계를 더 포함하는 것이 바람직하다.

<22> 여기서, 상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 표시하는 단계는, 상기 복수의 메모리버스에 접속된 메모리모듈이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는 경우, 상기 멀티 채널 모드로 동작 가능한 메모리모듈의 배치를 표시하는 단계를 더 포함하는 것이 바람직하다.

<23> 한편, 상기 목적은, 본 발명에 따라, 멀티 채널 모드로 동작 가능하게 마련된 복수의 메모리버스를 갖는 컴퓨터에 있어서, 상기 각 메모리버스에 접속된 적어도 하나의 메



모리모듈의 메모리정보를 비교하여 상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 판단하는 제어부와; 상기 복수의 메모리버스가 멀티 채널 모드로 동작되는지 여부가 표시되는 표시부를 포함하는 것을 특징으로 하는 컴퓨터에 의해 달성될 수 있다.

<24> 여기서, 상기 각 메모리버스에 접속된 메모리모듈의 메모리정보는 상기 각 메모리모듈에 저장된 SPD 데이터인 것인 것이 바람직하다.

<25> 또한, 상기 SPD 데이터는 상기 각 메모리모듈의 메모리 용량에 관한 정보를 포함하는 것이 바람직하다.

<26> 그리고, 상기 제어부는, 상기 복수의 메모리버스가 멀티 채널 모드로 동작하지 않는 것으로 판단되는 경우, 상기 복수의 메모리버스에 접속된 메모리모듈이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는지 검사하는 것이 바람직하다.

<27> 그리고, 상기 표시부는, 상기 복수의 메모리버스에 접속된 메모리모듈들이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는 경우, 상기 멀티 채널 모드로 동작 가능한 메모리모듈의 배치를 표시하는 것이 바람직하다.

<28> 그리고, 상기 제어부는 상기 복수의 메모리버스가 멀티 채널 모드로 동작하는지 여부를 판단하는 판단프로그램을 포함하는 것이 바람직하다. 여기서, 상기 판단프로그램은 바이오스롬에 저장되는 것이 바람직하다.

<29> 그리고, 상기 표시부는 화상이 표시되는 디스플레이부를 포함하는 것이 바람직하다.

<30> 이하에서는 첨부도면을 참조하여 본 발명에 대해 상세히 설명한다.

<31> 통상적인 컴퓨터는 중앙처리장치(CPU), 메모리부, 출력부 및 입력부로 구성된다.

출력부는 모니터 출력을 위한 비디오컨트롤러 및 디스플레이장치와, 사운드컨트롤러 및 스피커를 포함하며, 입력부는 입출력컨트롤러와 IDE컨트롤러, FDD컨트롤러와 이들의 제어를 받는 키보드, 마우스, 하드디스크드라이브, CDROM드라이브 및 플로피디스크드라이브 등을 포함한다. 여기서, 각 구성요소 상호 간은 시스템 버스(System Bus), PCI 버스, 메모리버스 등의 버스(BUS)를 통해 상호 연결되어 있다.

<32> 메모리부는 메인메모리, 바이오스롬(BIOS ROM), CMOS램 등을 포함한다. 바이오스롬은 비휘발성 메모리이며 컴퓨터에 관련된 바이오스(BIOS) 데이터가 저장되어 있다. 바이오스(BIOS)는 시스템 장치를 제어하고 테스트하는 내장소프트웨어로서 컴퓨터에 전원이 공급되면 시스템장치들이 올바르게 작동하고 있는지를 확인하기 위해 POST(Power On Self Test)라 불리는 과정을 수행한다. 한편, CMOS램에는 컴퓨터의 시스템구성 데이터가 저장되어 있으며, POST가 수행되는 동안에 바이오스는 POST로부터 얻어진 시스템구성 데이터와 CMOS램에 저장되어 있는 시스템 구성 데이터를 비교하여 각 시스템 장치들을 초기화 및 테스트한다.

<33> 메인메모리는 휘발성 메모리인 RAM(Random Access Memory)로 구성된다. RAM은 통상적으로 다수 개가 작은 회로 카드 상에 배치되고, 회로 카드의 플러그를 메인보드(Main Board) 혹은 메모리 캐리어(Carrier) 카드에 접속된 메모리 소켓에 꽂아 사용하는 모듈 형태(이하, "메모리모듈"이라 함)로 마련된다. 메모리 소켓은 메모리버스와 연결되어, 메모리모듈이 메모리버스에 접속되도록 한다. 메모리모듈에 배치되는 RAM은 SDRAM(Synchronous DRAM : SDRAM), 램 버스 디램(RAM BUS DRAM) 및 DDR SDRAM(Double Date Rate SDRAM : DDR SDRAM) 등으로 마련될 수 있다.

<34> 본 발명에 따른 컴퓨터는, 도 1에 도시된 바와 같이, 멀티 채널 모드(Multi Channel Mode)로 동작 가능하게 마련된 복수의 메모리버스(11,12)를 포함한다. 또한, 본 발명에 따른 컴퓨터는 각 메모리버스(11,12)에 접속된 적어도 하나의 메모리모듈(14a,14b,15a,15b)의 메모리정보를 비교하여 복수의 메모리버스(11,12)가 멀티 채널 모드로 동작가능한지 여부를 판단하는 제어부(20)와, 복수의 메모리버스(11,12)가 멀티 채널 모드로 동작되는지 여부가 표시되는 표시부(5)를 포함한다. 여기서, 멀티 채널 모드는 싱글 채널 모드(Single Chanel Mode)와 대비되는 개념으로, 메모리모듈(14a,14b,15a,15b)을 복수개의 채널로 구분하여 병렬로 사용함으로써, 기존의 메모리모듈을 사용하여 증가된 메모리 대역폭을 달성할 수 있도록 개발된 것이다. 여기서, 도 1에서는, 듀얼 채널 모드로 동작 가능하게 마련된 제1채널 메모리버스(11)와 제2채널 메모리버스(12)를 포함하는 두 개의 메모리버스(11,12)를 일 실시예로 도시하고 있다.

<35> 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)에는 각각 적어도 하나의 메모리모듈(14a,14b,15a,15b)이 접속될 수 있다. 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)는 메모리 컨트롤러(10)로부터 병렬로 확장되어 있으며, 메모리 컨트롤러(10)는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작 가능하도록 제어한다. 이하에서는 제1채널 메모리버스(11)에 접속된 메모리모듈(14a,14b)을 "제1채널 메모리모듈"이라 하고, 제2채널 메모리버스(12)에 접속된 메모리모듈(15a,15b)을 "제2채널 메모리모듈"이라 하여 이하에서 설명하기로 한다.

<36> 제1채널 메모리모듈(14a,14b) 및 제2채널 메모리모듈(15a,15b)의 메모리정보는 각 메모리모듈(14a,14b,15a,15b)에 저장된 SPD(Serial Presence Detect) 데이터를 포함한다. SPD 데이터는 메모리모듈(14a,14b,15a,15b)의 소자구조, 로직뱅크, 액세스 속도, 리

플래시 시간 등의 정보를 포함하며, 각 메모리모듈(14a, 14b, 15a, 15b)에 마련된 EEPROM과 같은 비휘발성 메모리에 저장되어 있다. 메모리 컨트롤러(10)는 이러한 SPD 데이터를 이용하여 각 메모리모듈(14a, 14b, 15a, 15b)의 액세스를 적절히 제어하게 된다.

<37> 제어부(20)는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하지 않는 것으로 판단되는 경우 이를 표시부(5)에 전달하고, 표시부(5)는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작되고 있지 않음을 표시하게 된다. 본 발명의 일 실시예에서는, 제어부(20)가 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하는 것으로 판단되는 경우 이를 표시부(5)에 전달하고, 표시부(5)는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작함을 표시할 수도 있다.

<38> 본 발명의 바람직한 실시예에 따른 제어부(20)는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하지 않는 것으로 판단되는 경우, 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는지 검사하도록 마련될 수 있다. 이 때, 제어부(20)는 제1채널 메모리모듈(14a, 14b)과 제2채널 메모리모듈(15a, 15b)에 의해 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는 경우, 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치에 관한 정보를 표시부(5)에 전달하게 되고, 표시부(5)는 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치를 표시하게 된다. 반면, 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하지 않는 경우, 표시부(5)는 듀얼 채널 모드로 동작하지 않음을 표시할 수 있고, 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하지 않음을 표시할 수 있다. 이에 의해, 사용자는 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)에

접속된 제1채널 메모리모듈(14a, 14b) 및 제2채널 메모리모듈(15a, 15b)에 의해 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치에 대한 정보를 얻을 수 있게 된다.

<39> 도 2는 도 1에 도시된 실시예의 더욱 상세한 제어블록도이다. 도면에 도시된 바와 같이, 본 발명에 따른 컴퓨터는 중앙처리장치인 CPU(1), 메인메모리(13), 바이오스(BIOS)가 저장된 바이오스롬(4), 노스브리지(2, North Bridge) 및 사우스브리지(3, South Bridge)를 포함한다.

<40> 노스브리지(2)는 CPU(1)와 메모리 및 그래픽 컨트롤러(5b) 간에 이동하는 데이터를 관리하는 칩셋으로 메인메모리(13)를 제어하는 메모리 컨트롤러(10)를 포함한다. 사우스브리지(3)는 노스브리지(2)에서 관리하지 아니하는 전반적인 장치들을 관리하는 칩셋이다. 일반적으로 사우스브리지(3)는 키보드/마우스컨트롤러(미도시), USB포트(미도시), 및 PCI버스(미도시) 등을 제어하며, CPU(1)로부터 노스브리지(2)를 통해 전달되는 부팅명령을 바이오스롬(4)에 전달한다.

<41> 메인메모리(13)는 휘발성 메모리인 RAM(Random Access Memory)로 구성되며, RAM은 모듈 형태로 마련되어 메모리 소켓을 통해 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)에 접속된다. 메모리모듈(14a, 14b, 15a, 15b)에 배치되는 RAM은 SDRAM(Synchronous DRAM : SDRAM), 램 버스 디램(RAM BUS DRAM) 및 DDR SDRAM(Double Data Rate SDRAM : DDR SDRAM) 등으로 마련될 수 있다.

<42> 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)는 메모리 컨트롤러(10)에 병렬로 연결되며, 메모리 컨트롤러(10)는 제1채널 메모리버스(11)에 접속된 제1채널 메모리모듈(14a, 14b)과 제2채널 메모리버스(12)에 접속된 제2채널 메모리모듈(15a, 15b)이 듀얼 채널 모드로 동작할 수 있도록 제어한다. 여기서, 본 발명의 이해를 돕기 위해, 제1채

널 메모리버스(11)에 64MB의 용량을 갖는 2개의 메모리모듈(14a, 14b)이 접속되고, 제2채널 메모리버스(12)에 128MB의 용량을 갖는 2개의 메모리모듈(15a, 15b)이 접속되어 있는 것을 일 예로 하며, 메모리 용량을 제외한 각 메모리모듈(14a, 14b, 15a, 15b)의 피쳐는 동일한 것으로 가정한다.

<43> 바이오스롬(4)에는 시스템의 구성상태를 변경하기 위해 사용되는 프로그램인 바이오스(BIOS)가 저장되어 있다. 여기서, 바이오스는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하는지 여부를 판단하는 판단프로그램을 포함한다. 바이오스는 시스템장치들이 올바르게 작동하고 있는지를 확인하기 위해 POST(Power On Self Test)라 불리는 과정을 수행하게 되며, 판단프로그램은 이러한 POST(Power On Self Test) 과정이 수행되는 동안에 실행되어 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하는지 여부를 판단하게 된다.

<44> 모니터(5a)는 판단프로그램의 의해 판단된 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)의 듀얼 채널 모드로의 동작 여부를 표시하게 된다. 즉, 판단프로그램에 의해 판단된 듀얼 채널 모드로의 동작 여부에 대한 정보는 노스브리지(2)를 통해 그래픽 컨트롤러(5b)에 전달되고, 그래픽 컨트롤러(5b)는 듀얼 채널 모드로의 동작 여부에 대한 정보를 모니터(5a)에 표시하게 된다.

<45> 상기와 같은 구성에 의해 본 발명에 따른 컴퓨터의 제어방법을, 도 2 내지 도 4를 참조하여 설명하면 다음과 같다.

<46> 먼저, 컴퓨터에 전원이 공급되면(S10), 시스템 리셋(System Reset)을 관리하는 칩(미도시)으로부터 신호가 발생하여 CPU(1)를 비롯한 전체회로가 리셋된다. 리셋된 CPU(1)는 바이오스롬(4)에 저장된 바이오스를 실행하기 위해 소정의 부팅명령을 노스

브리지(2) 및 사우스브리지(3)를 통해 바이오스에 전달하게 되고, 바이오스는 CPU(1)로부터의 부팅명령에 의해 실행되어 POST 과정을 수행하게 된다(S11). 일반적으로 CPU(1)는 빠른 처리를 위해 바이오스의 내용을 읽어 메인메모리(13)에 저장시킨 후 이를 수행하게 된다.

<47> 이러한, POST 과정 중, CPU(1)는 바이오스롬(4)에 저장된 판단프로그램을 실행시키게 된다(S12). 즉, CPU(1)는 소정의 명령신호를 노스브리지(2) 및 사우스브리지(3)를 통해 바이오스램에 전달함으로써, 판단프로그램을 실행시킨다. 여기서, CPU(1)는 판단프로그램의 내용을 읽어 메인메모리(13)에 저장시킨 후 이를 수행함으로써, 처리속도를 향상시킨다.

<48> 이 때, 사우스브리지(3)는 제1채널 메모리모듈(14a,14b) 및 제2채널 메모리모듈(15a,15b)의 SPD 데이터를 판독하여(S13), CPU(1)에 전달하게 된다. 그런 다음, 판단프로그램은 CPU(1)에 전달된 제1채널 메모리모듈(14a,14b) 및 제2채널 메모리모듈(15a,15b)의 SPD 데이터를 비교하여, 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작 가능한지 여부를 판단한다(S14). 이 때, 판단프로그램은 제1채널 메모리모듈(14a,14b)과 제2채널 메모리모듈(15a,15b)의 메모리 용량이 상이한 것을 인식하여, 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하지 않는 것으로 판단하게 된다.

<49> 다음, 판단프로그램은 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는지 검사하게 된다(S16). 이 때, 판단프로그램은 제1채널 메모리버스(11)에 64MB 및 128MB의 메모리 용량을 갖는 메모리모듈(14a,15a)이 하나씩 접속되고, 제2채널 메모리버스(12)에도 64MB 및 128MB의 메모리

용량을 갖는 메모리모듈(14b, 15b)이 접속되는 메모리모듈의 배치가 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치임을 판단하게 되고, 그래픽 컨트롤러(5b)는 노스브리지(2)를 통해 전달되는 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치에 관한 정보를 모니터(5a)에 표시하게 된다(S17). 도 5는 모니터(5a)에 표시된 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치에 관한 정보를 일 예를 도시하고 있으며, 문자 이외에도 그림 등과 같이, 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치를 알 수 있는 다양한 형태로 표시될 수 있음은 물론이다.

<50> 한편, 판단프로그램이 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작하는 것으로 판단한 경우, 모니터(5a)는 제1채널 메모리버스(11)와 제2채널 메모리버스(12)가 듀얼 채널 모드로 동작함을 표시하게 된다(S15). 또한, 판단프로그램에 의해 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하지 않는 것으로 판단된 경우, 모니터(5a)는 듀얼 채널 모드로 동작하지 않음을 표시하거나(S18), 듀얼 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하지 않음을 표시하게 된다.

<51> 전술한 실시예에서는, 제어부(20)가 바이오스롬(4)에 저장된 판단프로그램에 의해 수행되고 듀얼 채널 모드로의 동작 여부의 판단이 POST 수행 단계에서 수행되고 있으나, 제어부(20)가 시스템 운영체제를 기반으로 하며 하드디스크 드라이브에 저장된 어플리케이션으로 마련되어, 컴퓨터의 부팅 후에 사용자의 선택에 의해 수행되도록 마련할 수 있음은 물론이다.

<52> 또한, 전술한 실시예에서는, 표시부(5)가 모니터(5a)인 것으로 설명하고 있으나, 듀얼 채널 모드의 동작 여부를 나타내는 LED 등의 장치를 마련하여 듀얼 채널 모드로의



동작 여부에 따라 LED의 발광색을 달리함으로써, 듀얼 채널 모드로의 동작 여부를 표시할 수 있음은 물론이다.

<53> 그리고, 전술한 실시예에서는 듀얼 채널 모드로 동작 가능하게 마련된 제1채널 메모리버스(11) 및 제2채널 메모리버스(12)를 일 실시예로 설명하고 있으나, 3 이상의 메모리버스가 마련되고 이를 멀티 채널 모드로 동작 가능하게 제어하는 메모리 컨트롤러(10)를 마련하는 경우, 본 발명에 따른 제어부(20)는 3 이상의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 판단하여 표시부(5)에 표시할 수 있도록 마련될 수 있음은 물론이다.

<54> 이와 같이, 복수의 메모리모듈(14a, 14b, 15a, 15b)의 메모리정보를 비교하여 복수의 메모리버스(11, 12)가 듀얼 채널 모드로 동작할 수 있는지 여부를 판단하는 제어부(20)를 마련함으로써, 메인메모리(13)가 듀얼 채널 모드로 작동 가능한지 여부를 사용자가 알 수 있게 된다.

<55> 또한, 복수의 메모리버스(11, 12)가 듀얼 채널 모드로 동작하지 않는 것으로 판단되는 경우 제어부(20)가 복수의 메모리버스(11, 12)가 듀얼 채널 모듈로 동작가능한 배치가 존재하는지 판단하여 사용자에게 알려줌으로써, 사용자가 이를 용이하게 재배치할 수 있게 된다.

#### 【발명의 효과】

<56> 이상 설명한 바와 같이, 본 발명에 따르면, 복수의 메모리버스가 멀티 채널 모드로 동작하는지 여부를 확인할 수 있는 컴퓨터 및 그 제어방법이 제공된다.

<57> 또한, 복수의 메모리버스가 멀티 채널 모드로 동작하지 않는 경우, 멀티 채널 모드로 동작 가능한 메모리모듈들 간의 배치의 존재 여부를 확인할 수 있는 컴퓨터 및 그 제어방법이 제공된다.

**【특허청구범위】****【청구항 1】**

멀티 채널 모드로 동작 가능하게 마련된 복수의 메모리버스를 갖는 컴퓨터의 제어 방법에 있어서,

상기 각 메모리버스에 접속되는 적어도 하나의 메모리모듈의 메모리정보를 검출하는 단계와;

상기 검출된 메모리정보를 비교하여, 상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 표시하는 단계를 포함하는 것을 특징으로 하는 컴퓨터의 제어방법

**【청구항 2】**

제1항에 있어서,

상기 검출된 메모리정보는 상기 각 메모리모듈에 저장된 SPD 데이터인 것을 특징으로 하는 컴퓨터의 제어방법.

**【청구항 3】**

제2항에 있어서,

상기 SPD 데이터는 상기 각 메모리모듈의 메모리 용량에 관한 정보를 포함하는 것을 특징으로 하는 컴퓨터의 제어방법.

**【청구항 4】**

제2항에 있어서,

상기 복수의 메모리버스가 멀티 채널 모드로 동작하지 않는 것으로 판단되는 경우, 상기 복수의 메모리버스에 접속된 메모리모듈이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는지 검사하는 단계를 더 포함하는 것을 특징으로 하는 컴퓨터의 제어방법.

【청구항 5】

제4항에 있어서,

상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 표시하는 단계는,

상기 복수의 메모리버스에 접속된 메모리모듈이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는 경우, 상기 멀티 채널 모드로 동작 가능한 메모리모듈의 배치를 표시하는 단계를 더 포함하는 것을 특징으로 하는 컴퓨터의 제어방법.

【청구항 6】

멀티 채널 모드로 동작 가능하게 마련된 복수의 메모리버스를 갖는 컴퓨터에 있어서,

상기 각 메모리버스에 접속된 적어도 하나의 메모리모듈의 메모리정보를 비교하여 상기 복수의 메모리버스가 멀티 채널 모드로 동작 가능한지 여부를 판단하는 제어부와;

상기 제어부에 의해 판단된 상기 복수의 메모리버스가 멀티 채널 모드로 동작되는지 여부가 표시되는 표시부를 포함하는 것을 특징으로 하는 컴퓨터.

【청구항 7】

제6항에 있어서,

상기 각 메모리버스에 접속된 메모리모듈의 메모리정보는 상기 각 메모리모듈에 저장된 SPD 데이터인 것을 특징으로 하는 컴퓨터.

【청구항 8】

제7항에 있어서,

제 2항에 있어서,

상기 SPD 데이터는 상기 각 메모리모듈의 메모리 용량에 관한 정보를 포함하는 것을 특징으로 하는 컴퓨터의 제어방법.

【청구항 9】

제7항에 있어서,

상기 제어부는,

상기 복수의 메모리버스가 멀티 채널 모드로 동작하지 않는 것으로 판단되는 경우, 상기 복수의 메모리버스에 접속된 메모리모듈이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는지 검사하는 것을 특징으로 하는 컴퓨터.

【청구항 10】

제9항에 있어서,

상기 표시부는,

상기 복수의 메모리버스에 접속된 메모리모듈들이 멀티 채널 모드로 동작 가능한 메모리모듈의 배치가 존재하는 경우, 상기 멀티 채널 모드로 동작 가능한 메모리모듈의 배치를 표시하는 것을 특징으로 하는 컴퓨터.

【청구항 11】

제10항에 있어서,

상기 제어부는 상기 복수의 메모리버스가 멀티 채널 모드로 동작하는지 여부를 판단하는 판단프로그램을 포함하는 것을 특징으로 하는 컴퓨터.

【청구항 12】

제11항에 있어서,

상기 판단프로그램은 바이오스롬에 저장되는 것을 특징으로 하는 컴퓨터.

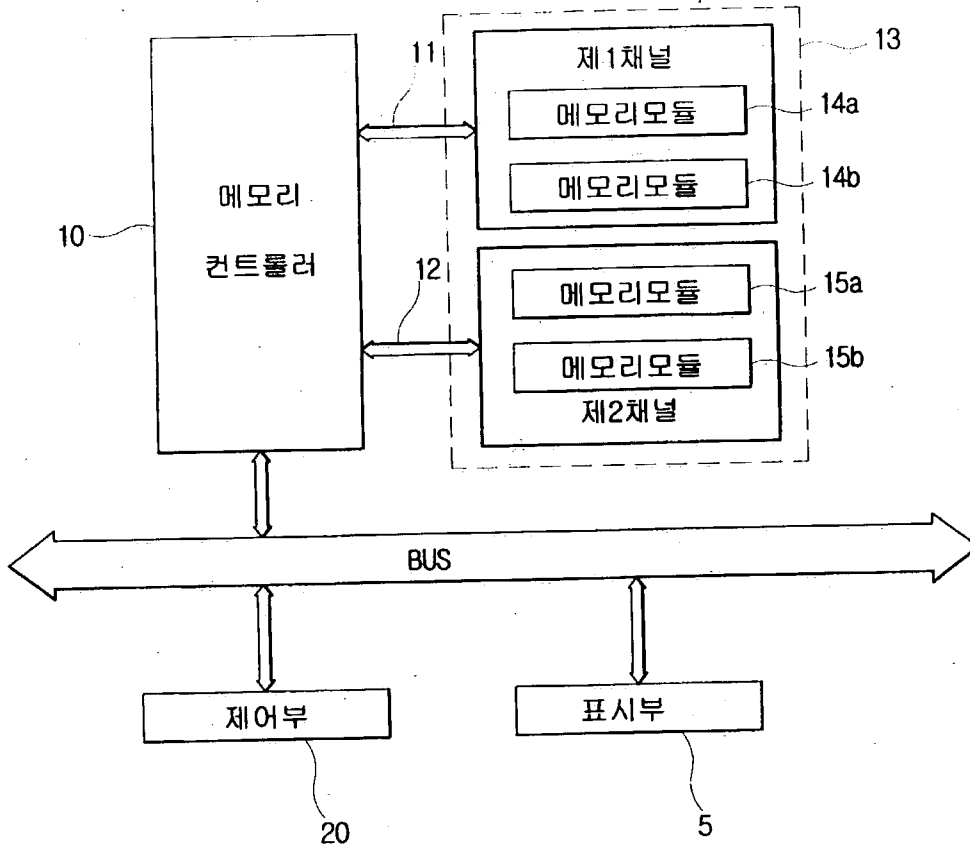
【청구항 13】

제6항에 있어서,

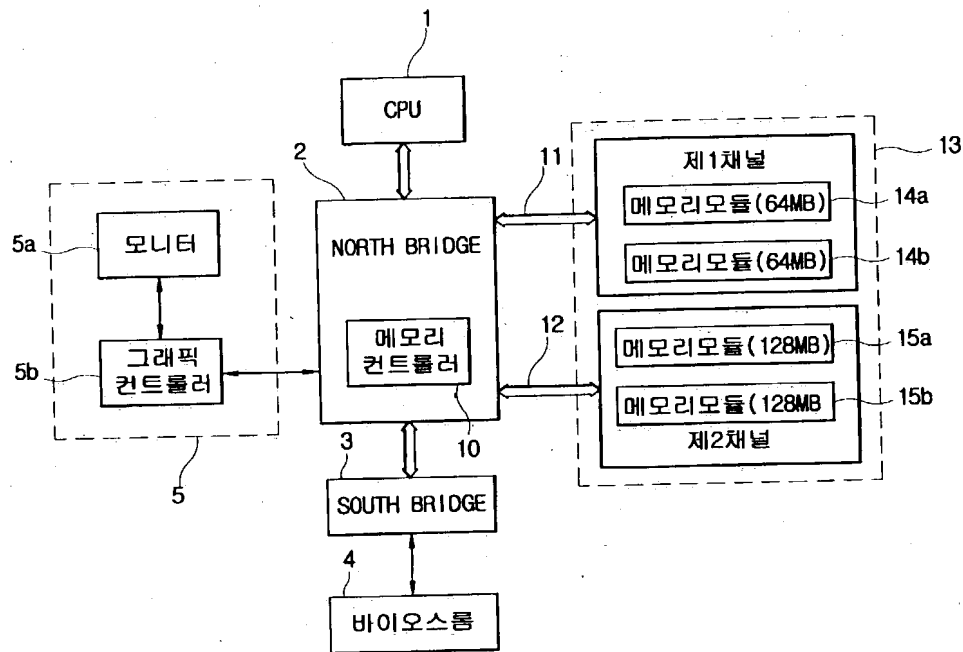
상기 표시부는 화상이 표시되는 디스플레이부를 포함하는 것을 특징으로 하는 컴퓨터.

## 【도면】

【도 1】

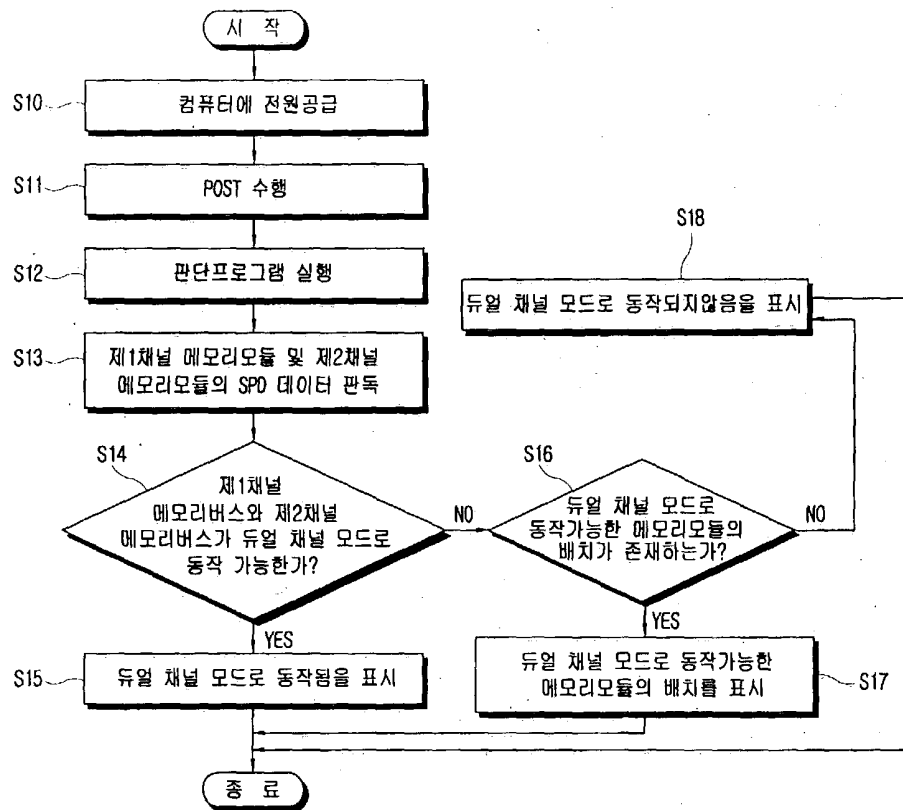


【도 2】





【도 3】



【도 4】

5

· Present arrangement of the memory module

Socket 1-64MB  
Socket 2-64MB  
Socket 3-128MB  
Socket 4-128MB

· In order to take advantage of a dual channel mode,  
arrange the memory module in  
the following configuration.

Socket 1-64MB  
Socket 2-128MB  
Socket 3-64MB  
Socket 4-128MB